

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

Docket No.: 4459-141

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of	:	
Yu Pen TSAI et al.	:	Confirmation No. <i>Not yet assigned</i>
U.S. Patent Application No. <i>Not yet assigned</i>	:	Group Art Unit: <i>Not yet assigned</i>
Filed: <i>Herewith</i>	:	Examiner: <i>Not yet assigned</i>

For: CHIP SCALE PACKAGE AND METHOD FOR MARKING THE SAME

CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sir:

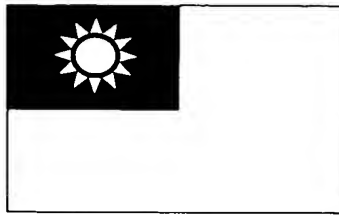
In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims, in the present application, the priority of *Taiwanese Patent Application No. 092107039, filed March 26, 2003*. The certified copy is submitted herewith.

Respectfully submitted,

LOWE HAUPTMAN GILMAN & BERNER, LLP


Benjamin J. Hauptman
Registration No. 29,310

1700 Diagonal Road, Suite 310
Alexandria, Virginia 22314
(703) 684-1111 BJH/etp
Facsimile: (703) 518-5499
Date: March 19, 2004



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 03 月 26 日
Application Date

申請案號：092107039
Application No.

申請人：日月光半導體製造股份有限公司
Applicant(s)

局長

Director General

蔡練生

發文日期：西元 2003 年 6 月 12 日
Issue Date

發文字號：09220576500
Serial No.

申請日期：

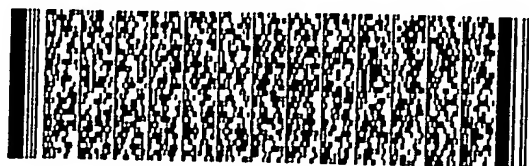
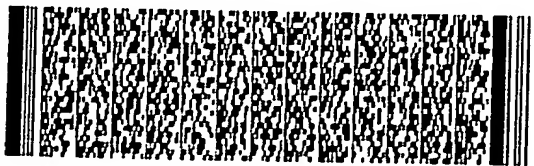
IPC分類

申請案號：

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	晶片尺寸封裝構造及其標示方法
	英文	CHIP SCALE PACKAGE AND METHOD FOR MARKING THE SAME
二、 發明人 (共3人)	姓名 (中文)	1. 蔡裕斌 2. 楊國賓
	姓名 (英文)	1. Yu Pen TSAI 2. Kuo Pin YANG
	國籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW
	住居所 (中文)	1. 高雄市楠梓區後昌路47巷37-1號 2. 高雄縣美濃鎮雙峰街5-18號
	住居所 (英文)	1. No. 37-1, Lane 47, Houchang Rd., Nantz Chiu, Kaohsiung, Taiwan 2. No. 5-18, Shuangfeng St., Meinung Jen, Kaohsiung, Taiwan
三、 申請人 (共1人)	名稱或姓名 (中文)	1. 日月光半導體製造股份有限公司
	名稱或姓名 (英文)	1. Advanced Semiconductor Engineering, Inc.
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中文)	1. 高雄市楠梓加工出口區經三路26號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. 26, Chin 3rd Rd., Nantze Export Processing Zone, Kaohsiung, Taiwan, R.O.C.
	代表人 (中文)	1. 張虔生
	代表人 (英文)	1. Chian Seng CHANG



00648.psd

申請日期：

IPC分類

申請案號：

(以上各欄由本局填註)

發明專利說明書

一、
發明名稱

中文

英文

二、
發明人
(共3人)姓名
(中文)

3. 江武宗

姓名
(英文)

3. Wu Chung CHIANG

國籍
(中英文)

3. 中華民國 TW

住居所
(中文)

3. 高雄縣大寮鄉光明路一段969巷16弄25號

住居所
(英文)

3. No. 25, Alley 16, Lane 969, Sec. 1, Guangming Rd., Daliau Shiang, Kaohsiung, Taiwan

三、
申請人
(共1人)名稱或
姓名
(中文)名稱或
姓名
(英文)國籍
(中英文)住居所
(營業所)
(中文)住居所
(營業所)
(英文)代表人
(中文)代表人
(英文)

四、中文發明摘要 (發明名稱：晶片尺寸封裝構造及其標示方法)

一種晶片尺寸封裝構造，其包含複數個用以形成外部電性連接之接點以及一晶片。該晶片具有複數個晶片鐳墊設於其正面，該晶片鐳墊係電性連接至與該複數個接點。該晶片之背面係裸露於該封裝構造之一表面。本發明之特徵在於該晶片之背面具有標示，並且該標示係為一油墨標示。本發明另提供一種標示一晶圓級晶片尺寸封裝構造之方法。

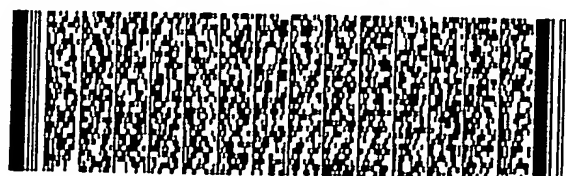
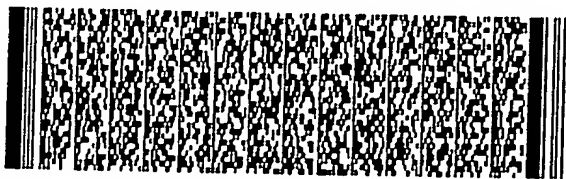
五、(一)、本案代表圖為：第___1a_____圖

(二)、本案代表圖之元件代表符號簡單說明：

100	晶片	102	正面
104	背面	106	晶片鐳墊
108	標示	110	錫球
112	重佈層	114	引線

六、英文發明摘要 (發明名稱：CHIP SCALE PACKAGE AND METHOD FOR MARKING THE SAME)

A chip scale package comprises a plurality of terminals for making external electrical connections and a chip. The chip has a plurality of bonding pads on an active surface thereof, and the bonding pads of the chip are electrically connected to the terminals. The backside surface of the chip is exposed from a surface of the package. The present invention is characterized

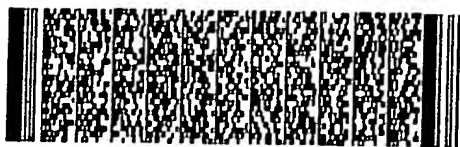


四、中文發明摘要 (發明名稱：晶片尺寸封裝構造及其標示方法)

116 介電層

六、英文發明摘要 (發明名稱：CHIP SCALE PACKAGE AND METHOD FOR MARKING THE SAME)

by having an ink mark on the backside surface of the chip. The present invention further provides a method for marking wafer level chip scale packages.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

無

寄存日期：

寄存號碼：

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

無

寄存號碼：

☐熟習該項技術者易於獲得，不須寄存。



五、發明說明 (1)

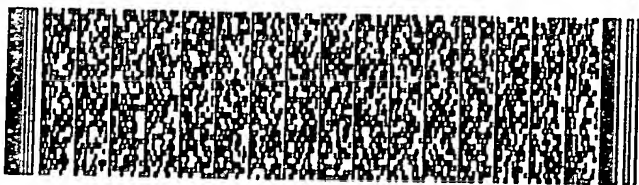
【發明所屬之技術領域】

本發明係有關於一種具有標示之晶片尺寸封裝構造以及一種標示晶圓級晶片尺寸封裝構造之方法。

【先前技術】

隨著更輕更複雜電子裝置需求的日趨強烈，晶片的速度及複雜性相對越來越高，因此需要更高之封裝效率(packaging efficiency)。微型化(miniaturization)是使用先進封裝技術(例如晶片尺寸封裝構造(chip scale package)以及覆晶(flip chip))的主要驅動力。相較於球格陣列封裝或薄小輪廓封裝(thin small outline package, TSOP)而言，晶片尺寸封裝以及覆晶這兩種技術均大幅增加封裝效率，藉此減少所需之基板空間。一般而言，晶片尺寸封裝構造之大小與晶片本身大小相當或稍大於晶片本身(最多約百分之二十)。此外，晶片尺寸封裝構造可直接促成良好晶片(known good die, KGD)測試及老化(burn-in)測試。再者，晶片尺寸封裝構造亦可結合表面黏著技術(surface mount technology, SMT)之標準化及可在加工性等優點，與覆晶技術之低阻抗，高I/O接腳數及直接散熱路徑等優點，而提升晶片尺寸封裝之效能。

然而，與球格陣列(ball grid array)封裝或薄小輪廓封裝(thin small outline package, TSOP)相比較，晶片尺寸封裝構造具有較高製造成本之缺點。若能將晶片尺寸封裝構造以大量生產方式製造，前述高製造成本之缺點將可被克服。因此，封裝業者嘗試開發晶圓層次(wafer



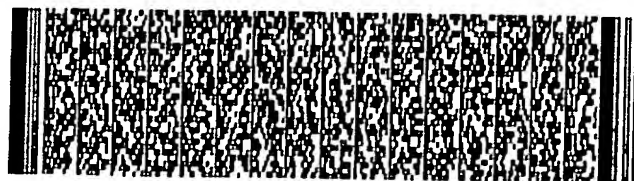
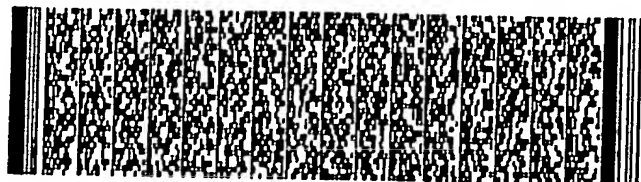
五、發明說明 (2)

level) 封裝技術，以能大量生產晶片尺寸封裝構造，如美國專利第5,977,624及美國專利第6,004,867號。該晶圓層次封裝技術的製造步驟，大體上皆包括將一基板直接貼合至一晶圓(wafer)正面上，其中該半導體晶圓係尚未切割成個別晶片。該基板係與整片晶圓之尺寸大致相同，並且包含複數個單元對應於晶圓上的複數個晶片。根據前述美國專利之晶圓級半導體封裝構造，其係於晶粒切割前，封膠該晶圓之每一晶粒使得該晶圓之背面係裸露於封膠體。於封膠後，再切割該封膠晶粒成個別半導體封裝構造。

為了要區分不同的生產公司、不同的產品、型號並且建立信譽，每一個半導體封裝構造上都需要有標示(mark)。一般習用之半導體封裝構造多具有一封膠體包覆並且保護其中之晶片，因此只需要把上述之資料標示於該封膠體上即可。然而，利用前述晶圓層次封裝技術所製得之半導體封裝構造，其一般係採用雷射刻印的方式直接在裸露之晶圓背面上標示。然而，雷射刻印是一種具有破壞性的標示方式，而且其刻印的深度不易控制。若刻印地太淺，會看不清楚，若是刻印太深則可能造成內部電路損壞。此外，進行雷射刻印時，難免會在刻印處留下碎屑以及毛邊。然而，當該晶片封裝構造被用於電子產品（例如硬碟）中時，這些碎屑以及毛邊便有可能使得該電子產品無法正常操作。

【發明內容】

本發明之目的係提供一種具有標示之晶片尺寸封裝構



五、發明說明 (3)

造，其被標示的表面不具有破壞性的變化，且具有鮮明之標示效果。

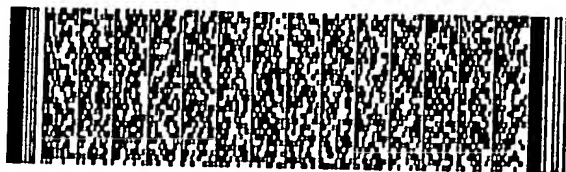
本發明之另一目的在於提供一種標示晶圓級晶片尺寸封裝構造的方法，以非破壞性的方式標示晶圓上的複數個晶片尺寸封裝構造半成品，藉此克服或至少改善雷射刻印過程造成的問題。

根據本發明一實施例之晶片尺寸封裝構造，其包含複數個用以形成外部電性連接之接點以及一晶片。該晶片具有複數個晶片鉀墊設於其正面。該晶片鉀墊係電性連接至該接點。該晶片之背面係裸露於該封裝構造之一表面。本發明之特徵在於該晶片之背面具有標示，並且該標示係為一油墨標示。

本發明另提供一種標示晶圓級晶片尺寸封裝構造之方法。首先，定位一晶圓上的複數個晶片尺寸封裝構造半成品。該晶片尺寸封裝構造半成品包含用以形成外部電性連接之複數個接點，以及一晶片具有複數個晶片鉀墊設於其正面。該晶片鉀墊係電性連接至該接點，其中該晶片之背面係裸露於該晶片尺寸封裝構造半成品的一表面。

然後，印刷油墨標示於該複數個晶片之裸露背面。接著，固化該晶片上之油墨。最後，切割該晶圓以製得複數個彼此分離之晶片尺寸封裝構造。

根據本發明之實施例，在該印刷步驟之後以及固化步驟之前，可將印刷不良之油墨去除，藉此可進行無破壞性重工(rework)。



五、發明說明 (4)

較佳地，該定位步驟之定位裝置可與進行該印刷步驟之印刷裝置分別設在該晶圓之兩對側，並且該印刷裝置較佳係利用與該定位裝置同軸移動的方式進行該印刷步驟。此外，該複數個晶片尺寸封裝構造半成品係被複數個切割道彼此隔開。該定位步驟可藉由一電荷耦合裝置 (CCD) 尋找該切割道而達成。

本發明提供之標示方法，係利用油墨印刷，以非破壞的方式直接在晶圓 (晶片) 背面上進行標示，因此能克服或是改善習知雷射刻印技術所造成之問題。此外，晶圓 (晶片) 背面上的油墨可輕易去除，因此本方法之另一個優點是可非破壞性地修復不良之標示，藉此可進行無破壞性重工 (rework)。

為了讓本發明之上述和其他目的、特徵、和優點能更明顯，下文特舉本發明較佳實施例，並配合所附圖示，作詳細說明如下。

【實施方式】

參照第1a圖，本發明提供一種晶片尺寸封裝構造100，其包含複數個用以形成外部電性連接之接點例如錫球110以及一晶片101。該晶片100具有複數個晶片鉑墊106的設於其正面102。該些晶片鉑墊106係電性連接至該些接點110。根據本發明之一實施例，該晶片尺寸封裝構造100具有一重佈層112包含一介電層116以及一多層金屬引線114。該晶片101之晶片鉑墊106可藉由重佈層112中之引線114與該錫球110電性連接。該晶片100的背面104則裸露於



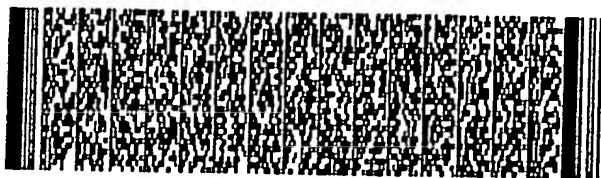
五、發明說明 (5)

該晶片尺寸封裝構造100之表面且具有一油墨標示108 (見第1b圖)。

該晶片上之油墨標示可達成數個目的，包含生產公司的識別(corporate identity)、產品區分(product differentiation)、產品型號識別(product type identification)、防止偽造(counterfeit protection)。

本發明亦提供一種標示晶圓級晶片尺寸封裝構造之方法。第2圖圖示一晶圓201包含複數個晶片101，且該些晶片101已被封裝成晶片尺寸封裝構造半成品(SCP semi-finished product)。除了這些晶片尺寸封裝構造半成品係形成在該晶圓上且尚未切割之外，每一個晶片尺寸封裝構造半成品係與第1圖所示之晶片尺寸封裝構造100大致相同。該些晶片尺寸封裝構造半成品係被複數個切割道彼此隔開。首先，利用電荷耦合裝置(CCD)等定位裝置202尋找該切割道，藉此將該晶圓201上已封裝之晶片101的位置座標定位出來(可一次標定一個已封裝晶片101，或是一次標定該晶圓上所有的已封裝晶片101)。

然後，根據該晶片101之位置座標移動一印刷裝置204之印刷頭對準該晶片之背面，再印刷一油墨標示於該晶片101之背面。最後，切割該晶圓201以製得複數個彼此分離之晶片尺寸封裝構造100。如第2圖所示，該定位裝置202與該印刷裝置204可設在該晶圓201之兩對側，並且使該定位裝置202與該印刷裝置204同軸移動，藉此同步定位以及



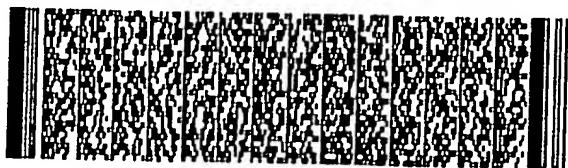
五、發明說明 (6)

印刷。

此外，根據本發明另一實施例之方法，該印刷步驟亦可根據定位步驟得到的該晶圓上所有的已封裝晶片101之位置座標，而藉由一印刷裝置一次將油墨標示印刷於所有晶片101之背面。

本發明提供之標示晶圓級晶片尺寸封裝構造的方法，係利用油墨印刷，以非破壞的方式直接在晶圓（晶片）背面上進行標示，因此能克服或是改善習知雷射刻印技術所造成的問題。此外，本發明提供之標示方法也不會造成碎屑或毛邊，因此可解決習知雷射刻印技術中的污染問題。另外，晶圓（晶片）上的油墨在固化之前都可輕易去除，因此本方法之另一個優點是可非破壞性地修復不良之標示，藉此可進行無破壞性重工(rework)。

雖然本發明已以前述較佳實施例揭示，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與修改。因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

【圖式簡單說明】

第1a圖：根據本發明之一實施例之晶片尺寸封裝構造半成品尺寸封裝構造之剖視圖；

第1b圖：第1a圖之晶片尺寸封裝構造半成品晶片尺寸封裝構造半成品之背視圖；以及

第2圖：根據本發明另一實施例，以立體圖圖示標示之晶圓上之晶片尺寸封裝構造半成品之主要步驟。

圖號說明：

100	晶片封裝構造		
101	晶片	102	正面
104	背面	106	晶片鉚墊
108	標示	110	錫球
112	重佈層	114	引線
116	介電層		
200	晶圓級晶片尺寸封裝構造		
201	晶圓	202	定位裝置
204	印刷裝置		



六、申請專利範圍

1、一種晶片尺寸封裝構造，其包含：

複數個接點(terminal)，用以形成外部電性連接；

一晶片具有複數個晶片鉑墊(bonding pads)設於其正面，該晶片鉑墊係電性連接至該接點，其中該晶片之背面係裸露於該晶片尺寸封裝構造的一表面；以及

一油墨標示(ink mark)形成於該晶片之背面上。

2、一種標示晶圓級晶片尺寸封裝構造之方法，其包含：

提供一晶圓具有複數個晶片，其中該些晶片已被封裝成複數個晶片尺寸封裝構造半成品，該晶片尺寸封裝構造半成品包含複數個接點，用以形成外部電性連接，該晶片具有複數個晶片鉑墊設於其正面，該晶片鉑墊係電性連接至該接點，其中該晶片之背面係裸露於該晶片尺寸封裝構造半成品的一表面，該方法包含下列步驟：

定位該晶圓上的複數個晶片尺寸封裝構造半成品；並且印刷油墨標示於該複數個晶片之裸露背面；

固化該晶片上之油墨；以及

切割該晶圓以製得複數個彼此分離的晶片尺寸封裝構造。

3、如申請專利範圍第2項所述之標示晶圓級晶片尺寸封裝構造之方法，另包含在該印刷步驟之後以及固化步驟之前，將印刷不良之油墨去除。



六、申請專利範圍

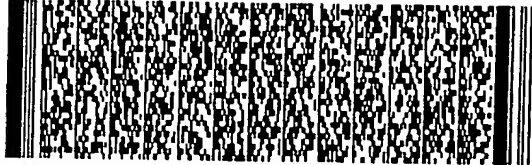
4、如申請專利範圍第2項所述之標示晶圓級晶片尺寸封裝構造之方法，其中係以一定位裝置進行該定位步驟以及一印刷裝置進行該印刷步驟，該定位裝置與印刷裝置係分別設在該晶圓之兩對側，並且該印刷裝置係利用與該定位裝置同軸移動的方式進行該印刷步驟。

5、如申請專利範圍第2項所述之標示晶圓級晶片尺寸封裝構造之方法，其中該複數個晶片尺寸封裝構造半成品係被複數個切割道彼此隔開，並且該定位步驟係藉由一電荷耦合裝置（CCD）尋找該切割道而達成。

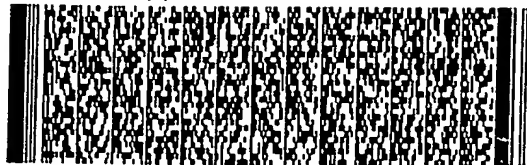
6、如申請專利範圍第5項所述之標示晶圓級晶片尺寸封裝構造之方法，其中係以一印刷裝置進行該印刷步驟，該定位裝置與印刷裝置係分別設在該晶圓之兩對側，並且該印刷裝置係利用與該定位裝置同軸移動的方式進行該印刷步驟。



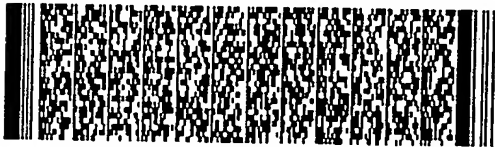
第 1/14 頁



第 1/14 頁



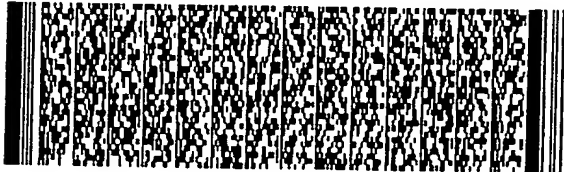
第 2/14 頁



第 3/14 頁



第 3/14 頁



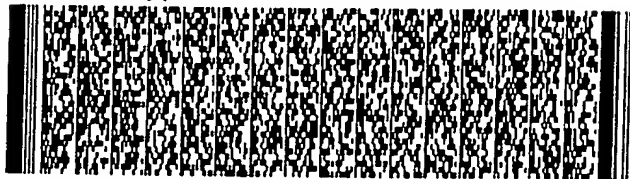
第 4/14 頁



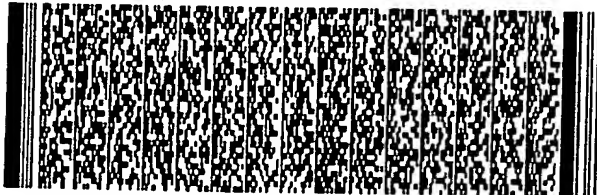
第 5/14 頁



第 6/14 頁



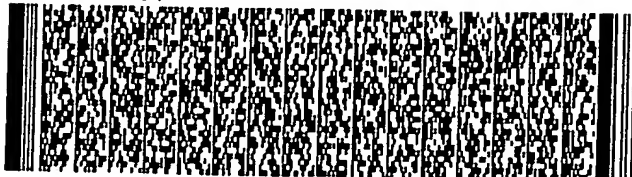
第 6/14 頁



第 7/14 頁



第 7/14 頁



第 8/14 頁



第 8/14 頁



第 9/14 頁



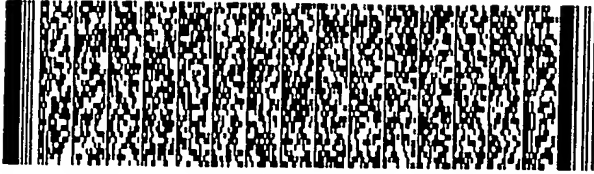
第 9/14 頁



第 10/14 頁



第 10/14 頁



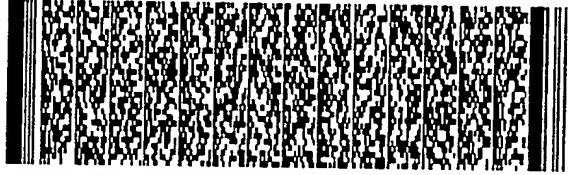
第 11/14 頁



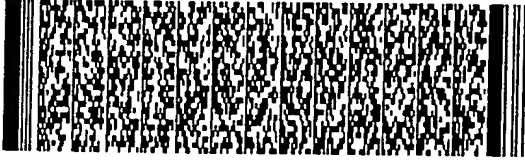
第 11/14 頁



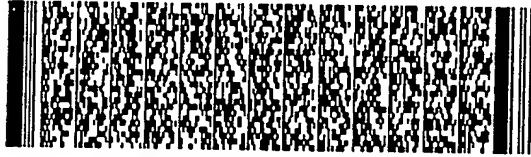
第 12/14 頁



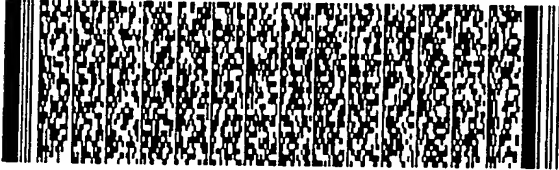
第 13/14 頁

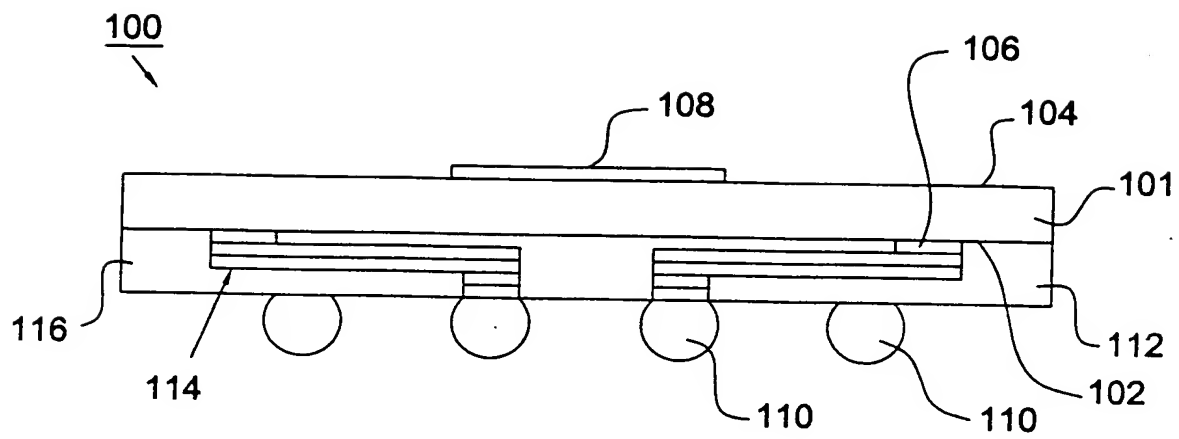


第 13/14 頁

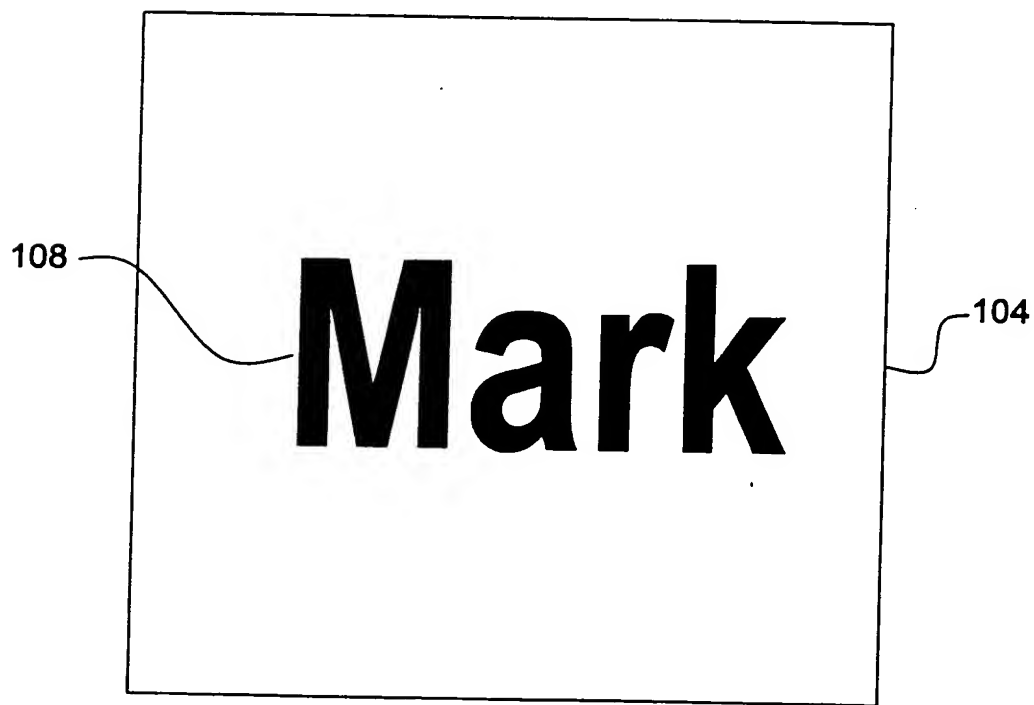


第 14/14 頁

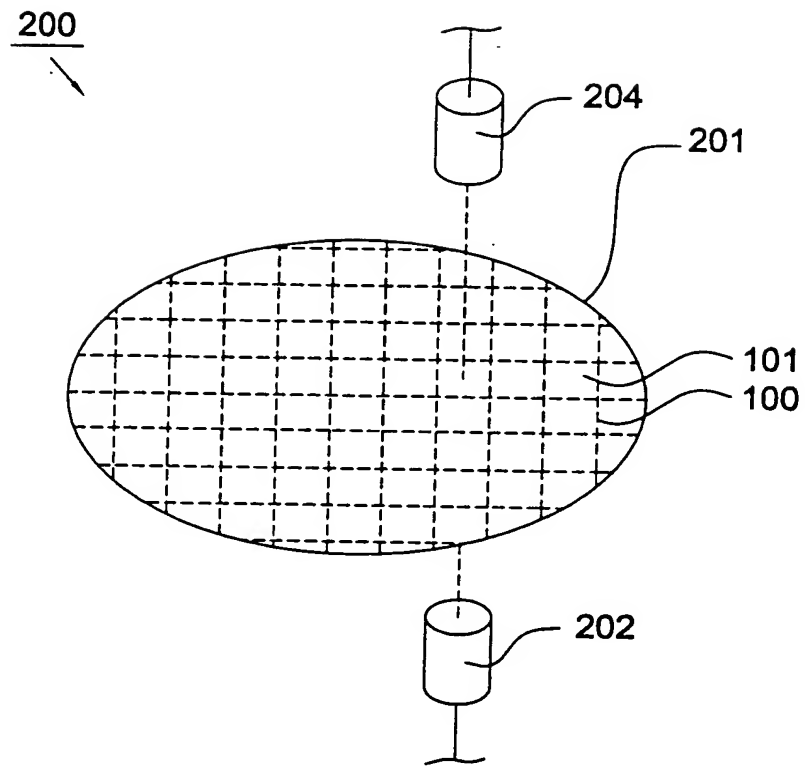




第 1a 圖



第 1b 圖



第 2 圖